

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC971 U.S. PTO  
09/886972  
06/25/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月27日

出 願 番 号

Application Number:

特願2000-192464

出 願 人

Applicant(s):

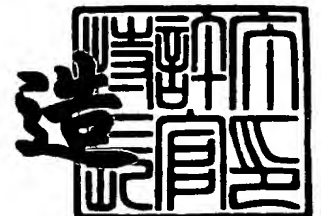
松下電器産業株式会社



2001年 5月31日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3049089

【書類名】 特許願

【整理番号】 2925020007

【提出日】 平成12年 6月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 加藤 剛久

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 嶋田 恭博

【特許出願人】

【識別番号】 000005843

【氏名又は名称】 松下電子工業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006009

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその駆動方法

【特許請求の範囲】

【請求項 1】 強誘電体膜の上に形成されたゲート電極を有する電界効果型トランジスタからなる M F S 型トランジスタ、又は強誘電体膜と誘電体膜との積層膜の上に形成されたゲート電極を有する電界効果型トランジスタからなる M F I S 型トランジスタにより構成される半導体記憶装置の駆動方法であって、

前記ゲート電極に電圧を印加して前記強誘電体膜の分極状態を変化させることにより前記半導体記憶装置にデータを書き込む工程と、

前記ゲート電極に電圧を印加した状態で前記電界効果型トランジスタのドレイン・ソース間に電圧を印加したときに前記電界効果型トランジスタのドレイン・ソース間に現われる電流変化を検出することにより前記半導体記憶装置に書き込まれているデータを読み出す工程とを備え、

前記データを読み出す工程において前記電界効果型トランジスタのドレイン・ソース間に印加する電圧の大きさは、前記電界効果型トランジスタのドレイン・ソース間の電流がドレイン・ソース間の電圧の増加に伴って増加するような範囲内に設定することを特徴とする半導体記憶装置の駆動方法。

【請求項 2】 電界効果型トランジスタのゲート電極の上に強誘電体コンデンサが設けられてなる M F M I S 型トランジスタにより構成され、前記強誘電体コンデンサの上部電極からなる制御ゲートを有する半導体記憶装置の駆動方法であって、

前記制御ゲートに電圧を印加して前記強誘電体コンデンサの強誘電体膜の分極状態を変化させることにより前記半導体記憶装置にデータを書き込む工程と、

前記制御ゲートに電圧を印加した状態で前記電界効果型トランジスタのドレイン・ソース間に電圧を印加したときに前記電界効果型トランジスタのドレイン・ソース間に現われる電流変化を検出することにより前記半導体記憶装置に書き込まれているデータを読み出す工程とを備え、

前記データを読み出す工程において前記電界効果型トランジスタのドレイン・ソース間に印加する電圧の大きさは、前記電界効果型トランジスタのドレイン・

ソース間の電流がドレイン・ソース間の電圧の増加に伴って増加するような範囲内に設定することを特徴とする半導体記憶装置の駆動方法。

【請求項 3】 強誘電体膜の上に形成されたゲート電極を有する電界効果型トランジスタからなる M F S 型トランジスタ、又は強誘電体膜と誘電体膜との積層膜の上に形成されたゲート電極を有する電界効果型トランジスタからなる M F I S 型トランジスタにより構成される半導体記憶装置であって、

データの書き込み時に前記ゲート電極に第 1 の電圧を供給して前記強誘電体膜の分極状態を変化させる第 1 の電圧供給手段と、

データの読み出し時に前記電界効果型トランジスタのドレイン・ソース間に第 2 の電圧を供給する第 2 の電圧供給手段とを備え、

前記第 2 の電圧供給手段が供給する第 2 の電圧の大きさは、前記電界効果型トランジスタのドレイン・ソース間の電流がドレイン・ソース間の電圧の増加に伴って増加するような範囲内に設定されていることを特徴とする半導体記憶装置。

【請求項 4】 電界効果型トランジスタのゲート電極の上に強誘電体コンデンサが設けられてなる M F M I S 型トランジスタにより構成され、前記強誘電体コンデンサの上部電極からなる制御ゲートを有する半導体記憶装置であって、

データの書き込み時に前記制御ゲートに第 1 の電圧を供給して前記強誘電体膜の分極状態を変化させる第 1 の電圧供給手段と、

データの読み出し時に前記電界効果型トランジスタのドレイン・ソース間に第 2 の電圧を供給する第 2 の電圧供給手段とを備え、

前記第 2 の電圧供給手段が供給する第 2 の電圧の大きさは、前記電界効果型トランジスタのドレイン・ソース間の電流がドレイン・ソース間の電圧の増加に伴って増加するような範囲内に設定されていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、不揮発性の半導体記憶装置及びその駆動方法に関し、特に、強誘電体膜の上に形成されたゲート電極を有する電界効果型トランジスタからなる M F S 型トランジスタ、強誘電体膜と誘電体膜との積層膜の上に形成されたゲート電

極を有する電界効果型トランジスタからなるMFI S型トランジスタ、又は電界効果型トランジスタのゲート電極の上に強誘電体コンデンサが設けられてなるMFMI S型トランジスタから構成される半導体記憶装置及びその駆動方法に関する。

【0002】

【従来の技術】

強誘電体膜を有する1トランジスタ型の不揮発性半導体記憶装置としては、MFS型トランジスタ、MFI S型トランジスタ及びMFMI S型トランジスタの3種類が知られている。

【0003】

MFS型トランジスタとは、Metal（金属）／Ferroelectric（強誘電体）／Semiconductor（半導体）の積層構造を意味し、半導体基板上におけるチャネル領域の上に直接に形成された強誘電体膜からなるゲート絶縁膜を有するトランジスタである。

【0004】

MFI S型トランジスタとは、Metal（金属）／Ferroelectric（強誘電体）／Insulator（誘電体）／Semiconductor（半導体）の積層構造を意味し、強誘電体膜からなるゲート絶縁膜と半導体基板との間にバッファ層となる誘電体膜を有するトランジスタであって、MFS型トランジスタよりも界面特性が改善されている。

【0005】

MFMI S型トランジスタとは、Metal（金属）／Ferroelectric（強誘電体）／Metal（金属）／Insulator（誘電体）／Semiconductor（半導体）の積層構造を意味し、MOS構造を有する電界効果型トランジスタのゲート電極の上に強誘電体コンデンサが設けられたトランジスタであって、電界効果型トランジスタのゲート電極の上に絶縁膜を介して強誘電体コンデンサが形成された第1の構造と、電界効果型トランジスタのゲート電極が強誘電体コンデンサの下部電極を兼ねる第2の構造とが知られている。

【0006】

ところで、強誘電体膜を有する 1 トランジスタ型の不揮発性半導体記憶装置（不揮発性メモリ）をデータ蓄積用トランジスタとして用いるメモリセルにおいては、例えば、特許第 2 9 2 1 8 1 2 号公報に示されているように、M F S トランジスタからなるデータ蓄積用トランジスタに、ゲート選択用トランジスタ及びソース選択用トランジスタがそれぞれ接続されることにより 1 つのメモリセルが構成されている。

## 【 0 0 0 7 】

図 6 は特許第 2 9 2 1 8 1 2 号公報に示されている 1 トランジスタ型の不揮発性半導体記憶装置の回路構成を示しており、図 6 において、W L は書き込み用ワード線であり、R L は読み出し用ワード線であり、G L は動作電圧供給線であり、B L はビット線であり、 $Q_1$  はデータ蓄積用トランジスタであり、 $Q_2$  は書き込み用トランジスタであり、 $Q_3$  は読み出し用トランジスタである。

## 【 0 0 0 8 】

データ蓄積用トランジスタ  $Q_1$  のゲートは、書き込み用トランジスタ  $Q_2$  を介して動作電圧供給線 G L に接続され、データ蓄積用トランジスタ  $Q_1$  のドレインは、読み出し用トランジスタ  $Q_3$  を介してビット線 B L に接続され、データ蓄積用トランジスタ  $Q_1$  のソースは接地されている。このような回路構成を有する複数のメモリセルがシリコン基板上に配置されることによりメモリセルアレイが構成されている。

## 【 0 0 0 9 】

以下、前記の回路構成を有するメモリセルに対して、データの消去（E R A S E）、データの書き込み（W R I T E）及びデータの読み出し（R E A D）を行なう動作について、図 7 を参照しながら説明する。

## 【 0 0 1 0 】

まず、半導体基板上のウェル領域に負電位を印加して、データ蓄積用トランジスタ  $Q_1$  のゲート・基板間に電圧を印加することにより、強誘電体膜の分極方向を一方向に揃える。これによって、全てのメモリセルのデータが消去される。

## 【 0 0 1 1 】

次に、データの書き込み動作をする際には、書き込み用トランジスタ  $Q_2$  によ

り選択された所定のアドレスにあるメモリセルのデータ蓄積用トランジスタ $Q_1$ に対して、ゲート・基板間に電圧を印加して強誘電体膜の分極方向を反転（オン状態）させるか、又はゲート・基板間に電圧を印加することなく強誘電体膜の分極方向を保持（オフ状態）する。すなわち、入力データに応じて分極反転（オン状態）又は分極保持（オフ状態）という２種類の分極状態を発生させることにより、データの書き込みを行なう。強誘電体膜の分極状態は電圧を印加しない状態でも保持されるので、不揮発性の半導体記憶装置として機能する。

## 【 0 0 1 2 】

次に、データの読み出し動作は、読み出し用トランジスタ $Q_3$ をオンして、ビット線 $BL$ からデータ蓄積用トランジスタ $Q_1$ のチャネルを通して接地線に流れる電流（ドレイン・ソース間電流）に伴う電圧降下を検出することにより行なう。データ蓄積用トランジスタ $Q_1$ の強誘電体膜の分極状態に応じて、チャネル抵抗が変化するので、書き込まれたデータが読み出される。

## 【 0 0 1 3 】

## 【発明が解決しようとする課題】

ところで、不揮発性の半導体記憶装置の駆動方法においては、強誘電体膜の分極方向が反転している場合（オン状態）のデータ蓄積用トランジスタ $Q_1$ のサブスレッショルド曲線におけるドレイン・ソース間電流 $I_{ds}$ と、強誘電体の分極方向が反転していない場合（オフ状態）のデータ蓄積用トランジスタ $Q_1$ のサブスレッショルド曲線におけるドレイン・ソース間電流 $I_{ds}$ との差が最も大きくなるようなゲート電圧 $V_G$ に、データ蓄積用トランジスタ $Q_1$ のしきい値を設定することにより、半導体記憶装置の読み出し動作の効率化を図っている。

## 【 0 0 1 4 】

ところが、不揮発性の半導体記憶装置には、時間の経過に伴って読み出し電圧が劣化する（ドレイン・ソース間電圧が低下する）という避けられない問題がある。

## 【 0 0 1 5 】

前記に鑑み、本発明は、不揮発性の半導体記憶装置において時間の経過に伴って読み出し電圧が劣化する現象を抑制して、不揮発性の半導体記憶装置のリテン



ション特性、すなわち（時間経過後のドレイン・ソース間電流  $I'_{ds}$ ）／（初期状態のドレイン・ソース間電流  $I_{ds}$ ）を向上させることを目的とする。

【0016】

【課題を解決するための手段】

前記の目的を達成するため、本件発明者らは、従来は殆ど考慮されていなかった、読み出し動作をする際の読み出し電圧（ドレイン・ソース間電圧）に着目して実験を行なった結果、読み出し電圧を半導体記憶装置を構成する電界効果型トランジスタのドレイン非飽和領域（ドレイン・ソース間電流がドレイン・ソース間電圧に依存する領域）に設定すると、ドレイン・ソース間電流  $I_{DS}$  の劣化を抑制することができるということを見出したものであり、本発明に係る半導体記憶装置の駆動方法は、前記の知見に基づいてなされたものである。

【0017】

具体的には、本発明に係る第1の半導体記憶装置の駆動方法は、強誘電体膜の上に形成されたゲート電極を有する電界効果型トランジスタからなるMFS型トランジスタ、又は強誘電体膜と誘電体膜との積層膜の上に形成されたゲート電極を有する電界効果型トランジスタからなるMFI型トランジスタにより構成される半導体記憶装置の駆動方法を対象とし、ゲート電極に電圧を印加して強誘電体膜の分極状態を変化させることにより半導体記憶装置にデータを書き込む工程と、ゲート電極に電圧を印加した状態で電界効果型トランジスタのドレイン・ソース間に電圧を印加したときに電界効果型トランジスタのドレイン・ソース間に現われる電流変化を検出することにより前記半導体記憶装置に書き込まれているデータを読み出す工程とを備え、データを読み出す工程において電界効果型トランジスタのドレイン・ソース間に印加する電圧の大きさは、電界効果型トランジスタのドレイン・ソース間の電流がドレイン・ソース間の電圧の増加に伴って増加するような範囲内に設定するものである。

【0018】

本発明に係る第2の半導体記憶装置の駆動方法は、電界効果型トランジスタのゲート電極の上に強誘電体コンデンサが設けられてなるMFMI型トランジスタにより構成され、強誘電体コンデンサの上部電極からなる制御ゲートを有する

半導体記憶装置の駆動方法を対象とし、制御ゲートに電圧を印加して強誘電体コンデンサの強誘電体膜の分極状態を変化させることにより半導体記憶装置にデータを書き込む工程と、制御ゲートに電圧を印加した状態で電界効果型トランジスタのドレイン・ソース間に電圧を印加したときに電界効果型トランジスタのドレイン・ソース間に現われる電流変化を検出することにより半導体記憶装置に書き込まれているデータを読み出す工程とを備え、データを読み出す工程において電界効果型トランジスタのドレイン・ソース間に印加する電圧の大きさは、電界効果型トランジスタのドレイン・ソース間の電流がドレイン・ソース間の電圧の増加に伴って増加するような範囲内に設定するものである。

## 【 0 0 1 9 】

本発明に係る第 1 又は第 2 の半導体記憶装置の駆動方法によると、データ読み出し工程において電界効果型トランジスタのドレイン・ソース間に印加する電圧つまり読み出し電圧の大きさは、電界効果型トランジスタのドレイン・ソース間の電流がドレイン・ソース間の電圧の増加に伴って増加するような範囲内に設定されているため、時間の経過に伴って発生するドレイン・ソース間電流の劣化を抑制することができる。

## 【 0 0 2 0 】

本発明に係る第 1 の半導体記憶装置は、強誘電体膜の上に形成されたゲート電極を有する電界効果型トランジスタからなる M F S 型トランジスタ、又は強誘電体膜と誘電体膜との積層膜の上に形成されたゲート電極を有する電界効果型トランジスタからなる M F I S 型トランジスタにより構成される半導体記憶装置を対象とし、データの書き込み時にゲート電極に第 1 の電圧を供給して強誘電体膜の分極状態を変化させる第 1 の電圧供給手段と、データの読み出し時に電界効果型トランジスタのドレイン・ソース間に第 2 の電圧を供給する第 2 の電圧供給手段とを備え、第 2 の電圧供給手段が供給する第 2 の電圧の大きさは、電界効果型トランジスタのドレイン・ソース間の電流がドレイン・ソース間の電圧の増加に伴って増加するような範囲内に設定されている。

## 【 0 0 2 1 】

本発明に係る第 2 の半導体記憶装置は、電界効果型トランジスタのゲート電極

の上に強誘電体コンデンサが設けられてなるMFMI S型トランジスタにより構成され、強誘電体コンデンサの上部電極からなる制御ゲートを有する半導体記憶装置を対象とし、データの書き込み時に制御ゲートに第1の電圧を供給して強誘電体膜の分極状態を変化させる第1の電圧供給手段と、データの読み出し時に電界効果型トランジスタのドレイン・ソース間に第2の電圧を供給する第2の電圧供給手段とを備え、第2の電圧供給手段が供給する第2の電圧の大きさは、電界効果型トランジスタのドレイン・ソース間の電流がドレイン・ソース間の電圧の増加に伴って増加するような範囲内に設定されている。

## 【 0 0 2 2 】

本発明に係る第1又は第2の半導体記憶装置によると、データの読み出し時に第2の電圧供給手段により電界効果型トランジスタのドレイン・ソース間に供給される第2の電圧の大きさは、電界効果型トランジスタのドレイン・ソース間の電流がドレイン・ソース間の電圧の増加に伴って増加するような範囲内に設定されているため、時間の経過に伴って発生するドレイン・ソース間電流の劣化を抑制することができる。

## 【 0 0 2 3 】

## 【発明の実施の形態】

以下、本発明の一実施形態に係る半導体記憶装置の駆動方法について、MF I S型トランジスタを例にとって説明する。

## 【 0 0 2 4 】

図1に示すように、シリコンからなるp型の半導体基板11の表面部にドレイン又はソースとなる一対のn型の不純物拡散層12が形成されていると共に、半導体基板11の上に、 $\text{CeO}_2$  からなり20nmの厚さを有する誘電体膜13及び $\text{SrBi}_2\text{Ta}_2\text{O}_9$  からなり200nmの厚さを有する強誘電体膜14が順次形成されており、誘電体膜13及び強誘電体膜14によりゲート絶縁膜が構成されている。ゲート絶縁膜の上における一対のn型不純物拡散層12同士の間にはアルミニウムからなるゲート電極15が形成されており、該ゲート電極15のゲート長は7 $\mu\text{m}$ であってゲート幅は5 $\mu\text{m}$ である。

## 【 0 0 2 5 】

図2において、実線は、前記の構造を有するMFIS型トランジスタのゲート電極15に+8Vの電圧を印加した後に、ゲート・ソース間電圧 $V_{gs}$ を0Vから2Vの間で変化させたときのドレイン・ソース間電流 $I_{ds}$ を測定して得た $V_{gs}-I_{ds}$ 特性図であって、波線は、前記の構造を有するMFIS型トランジスタのゲート電極15に-8Vの電圧を印加した後に、ゲート・ソース間電圧 $V_{gs}$ を0Vから2Vの間で変化させたときのドレイン・ソース間電流 $I_{ds}$ を測定して得た $V_{gs}-I_{ds}$ 特性図である。

【0026】

図2から明らかなように、ゲート電極15に+8Vの電圧を印加したとき（オン状態）のゲート・ソース間電圧 $V_{gs}$ と、ゲート電極15に-8Vの電圧を印加したとき（オフ状態）のゲート・ソース間電圧 $V_{gs}$ との電圧差 $V_t$ は0.6Vである。また、読み出し動作時のゲート・ソース間電圧 $V_{gs}$ を0.9Vに設定すると、オン状態のときのドレイン・ソース間電流 $I_{ds}$ はオフ状態のときのドレイン・ソース間電流 $I_{ds}$ の約 $10^3$ 倍である。すなわち、読み出し時のゲート電圧を0.9Vにすると、（オン状態のときのドレイン・ソース間電流）／（オフ状態のときのドレイン・ソース間電流）は約 $1 \times 10^3$ である。

【0027】

図3は、初期状態、初期状態から室温で $2 \times 10^6$ 秒間放置した場合及び初期状態から室温で $6 \times 10^6$ 秒間放置した場合における、MFIS型トランジスタのドレイン・ソース間電圧 $V_{DS}$ とドレイン・ソース間電流 $I_{DS}$ との関係を示している。図3から分かるように、MFIS型トランジスタを長時間室温で放置すると、強誘電体膜におけるリークによる電荷消失及び分極低下によって、ドレイン・ソース間電流 $I_{DS}$ は初期状態に比べて約 $1/10$ 程度に低下する。

【0028】

図4は、初期状態のドレイン・ソース間電流 $I_{DS}$ に対する、 $2 \times 10^6$ 秒間放置後又は $6 \times 10^6$ 秒間放置後のドレイン・ソース間電流 $I'_{DS}$ の比（ $I'_{DS}/I_{DS}$ ）を表わしている。

【0029】

図3及び図4において、ドレイン非飽和領域とはドレイン・ソース間電流がド

レイン・ソース間電圧に依存する領域を意味し、ドレイン飽和領域とはドレイン・ソース間電流がドレイン・ソース電圧に依存しない領域を意味する。言い換えると、ドレイン非飽和領域とは、ドレイン・ソース間電流  $I_{DS}$  はドレイン・ソース間電圧  $V_{DS}$  の増加に伴って増加する領域を意味し、ドレイン飽和領域とは、ドレイン・ソース間電流  $I_{DS}$  はドレイン・ソース間電圧  $V_{DS}$  が増加しても殆ど増加しない領域を意味する。図 3 及び図 4 においては、ドレイン・ソース間電圧  $V_{DS}$  が 0.3 V 以下である領域がドレイン非飽和領域であって、ドレイン・ソース間電圧  $V_{DS}$  が 0.3 V よりも大きい領域がドレイン飽和領域である。

【0030】

図 4 から、 $I_{DS}' / I_{DS}$  は、ドレイン非飽和領域 ( $V_{DS} \leq 0.3$  V の領域) においてはドレイン飽和領域 ( $V_{DS} > 0.3$  V の領域) に比べて大きいこと、及びソース・ドレイン間電圧  $V_{sd}$  が 0.1 V であるときには約 20 % であることが分かる。

【0031】

従って、読み出し電圧 (ソース・ドレイン間電圧  $V_{sd}$ ) を MFIS 型トランジスタのドレイン非飽和領域に設定すると、読み出し電圧をドレイン飽和領域に設定する場合に比べて、ドレイン・ソース間電流  $I_{DS}'$  の劣化を抑制できること、及び、読み出し時のゲート・ソース間電圧  $V_{gs}$  を 0.9 V に設定すると共に読み出し電圧を 0.1 V に設定すると、ソース・ドレイン間電流を初期状態の約 20 % 程度に保てる事が分かる。

【0032】

尚、第 1 の実施形態においては MFIS 型トランジスタを例にとって説明したが、第 1 の実施形態に係る半導体記憶装置の駆動方法は、MFIS 型トランジスタに代えて、MFS 型トランジスタ又は MFMI S 型トランジスタについても同様に適用することができる。

【0033】

以下、前述の駆動方法を実現する半導体記憶装置について、図 5 を参照しながら説明する。

【0034】

図 5 は、前記一実施形態に係る半導体記憶装置からなるメモセルアレイが搭載された半導体チップ 1 の平面構造を示しており、半導体チップ 1 の上には、メモセルアレイ 2、行ドライバー 3、列ドライバー 4、I/F 回路 5 及び DC-DC コンバータ 6 が形成されている。

## 【 0 0 3 5 】

外部から半導体チップ 1 上の VDD 端子に導入された電源電圧及び外部から半導体チップ 1 上の GND 端子に導入された接地電圧は、メモセルアレイ 2 を駆動する駆動回路である行ドライバー 3 及び列ドライバー 4 にそれぞれ供給される。

## 【 0 0 3 6 】

また、VDD 端子に導入された電源電圧は DC-DC コンバータ 6 に供給され、DC-DC コンバータ 6 は、DC 電圧  $+V_p$ 、DC 電圧  $-V_p$ 、DC 電圧  $V_d$  及び DC 電圧  $V_r$  を生成する。DC-DC コンバータ 6 により生成された DC 電圧  $+V_p$  は行ドライバー 3 及び列ドライバー 4 に送られ、DC-DC コンバータ 6 により生成された DC 電圧  $-V_p$  は列ドライバー 4 に送られ、DC-DC コンバータ 6 により生成された DC 電圧  $V_d$  及び DC 電圧  $V_r$  は列ドライバー 4 に送られる。

## 【 0 0 3 7 】

データの書き込み動作時には、DC-DC コンバータ 6 により生成された DC 電圧  $+V_p$  又は  $-V_p$  が、MFIS 型トランジスタのゲート電極 15 に第 1 の電圧として供給されることにより、強誘電体膜 14 の分極状態が変化する。

## 【 0 0 3 8 】

また、データの読み出し動作時には、DC-DC コンバータ 6 により生成された DC 電圧  $V_d$  又は GND 端子に導入された接地電圧 0 V が MFIS 型トランジスタのドレイン又はソースとなる n 型の不純物拡散層 12 に第 2 の電圧として供給される。

## 【 0 0 3 9 】

## 【発明の効果】

本発明に係る半導体記憶装置又はその駆動方法によると、データ読み出し工程

において電界効果型トランジスタのドレイン・ソース間に印加する電圧つまり読み出し電圧の大きさは、電界効果型トランジスタのドレイン・ソース間の電流がドレイン・ソース間の電圧の増加に伴って増加するような範囲内であるから、時間の経過に伴って発生するドレイン・ソース間電流の劣化は抑制される。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係る半導体記憶装置の駆動方法の対象となるMFIS型トランジスタの断面図である。

【図 2】

本発明の一実施形態に係る半導体記憶装置の駆動方法の対象となるMFIS型トランジスタのゲート電極に、+8V又は-8Vの電圧を印加した状態で、ゲート・ソース間電圧を0Vから2Vの間で変化させたときのドレイン・ソース間電流を測定して得た $V_{gs} - I_{ds}$ 特性図である

【図 3】

本発明の一実施形態に係る半導体記憶装置の駆動方法の対象となるMFIS型トランジスタの初期状態、初期状態から室温で $2 \times 10^6$ 秒間放置した場合及び初期状態から室温で $6 \times 10^6$ 秒間放置した場合におけるドレイン・ソース間電圧とドレイン・ソース間電流との関係を示す図である。

【図 4】

本発明の一実施形態に係る半導体記憶装置の駆動方法の対象となるMFIS型トランジスタの初期状態のドレイン・ソース間電流に対する、 $2 \times 10^6$ 秒間放置後又は $6 \times 10^6$ 秒間放置後のドレイン・ソース間電流の比を表わす図である。

【図 5】

本発明の一実施形態に係る半導体記憶装置からなるメモセルアレイが搭載された半導体チップの平面図である。

【図 6】

従来の不揮発性半導体記憶装置の回路構成を示す図である。

【図 7】

従来の不揮発性半導体記憶装置の駆動方法において、データの消去、データの書き込み及びデータの読み出しを行なう際の動作を説明する図である。

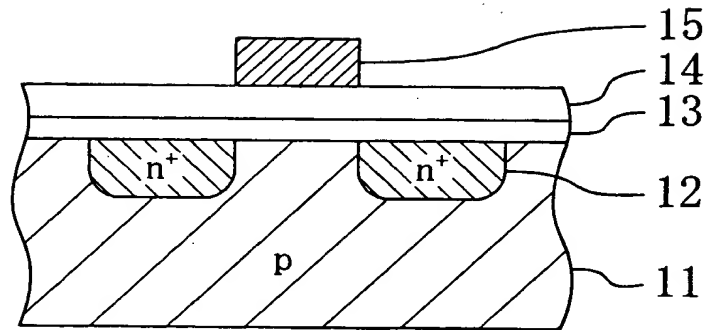
【符号の説明】

- 1 半導体チップ
- 2 メモリセルアレイ
- 3 行ドライバー
- 4 列ドライバー
- 5 I/F回路
- 6 DC-DCコンバータ
- 11 半導体基板
- 12 不純物拡散層
- 13 誘電体膜
- 14 強誘電体膜
- 15 ゲート電極

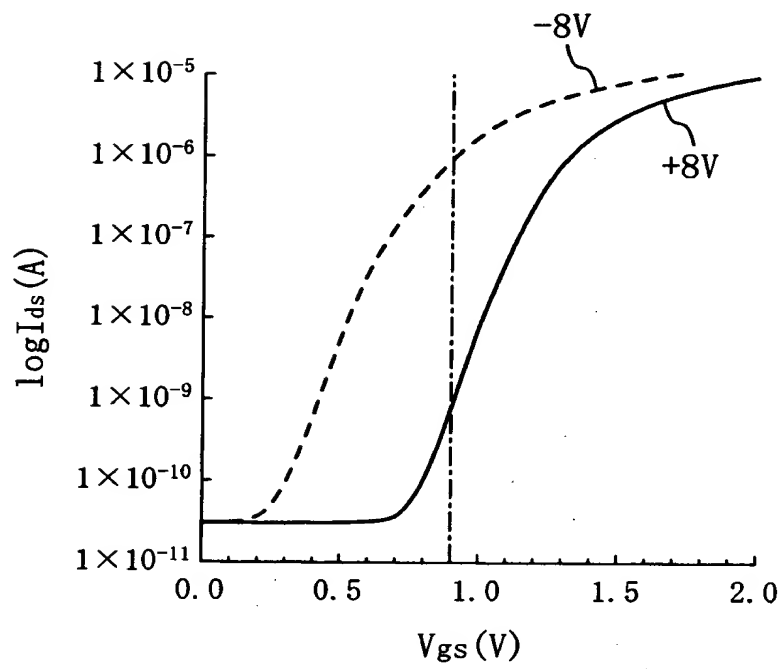


【書類名】 図面

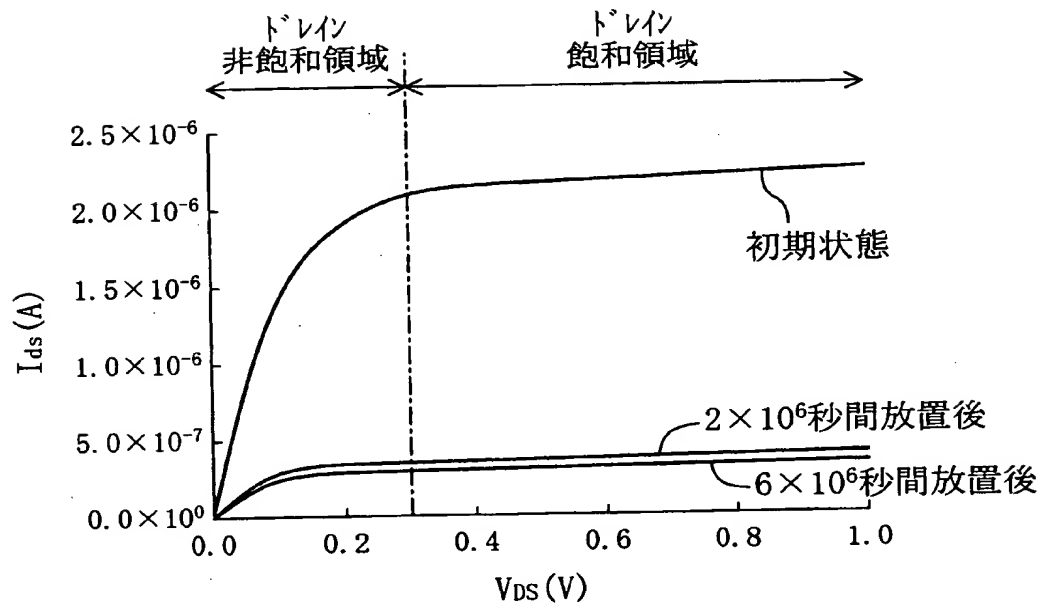
【図 1】



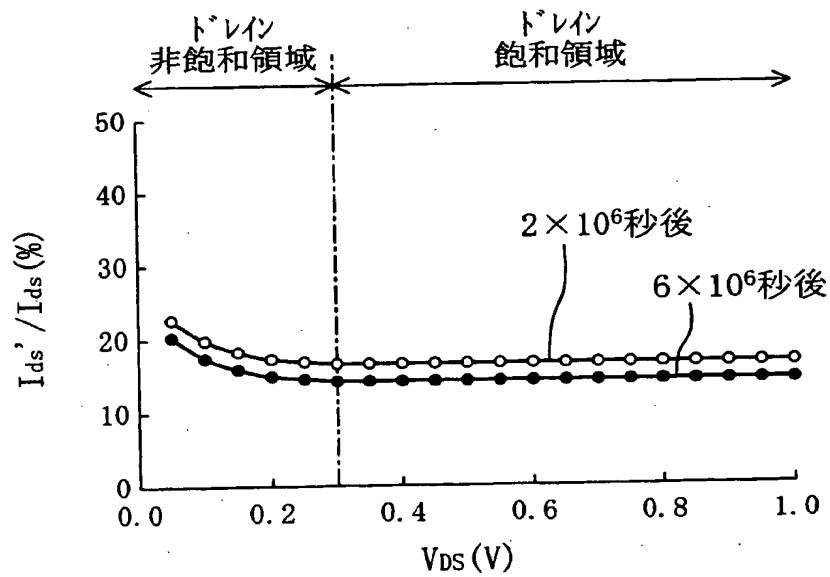
【図 2】



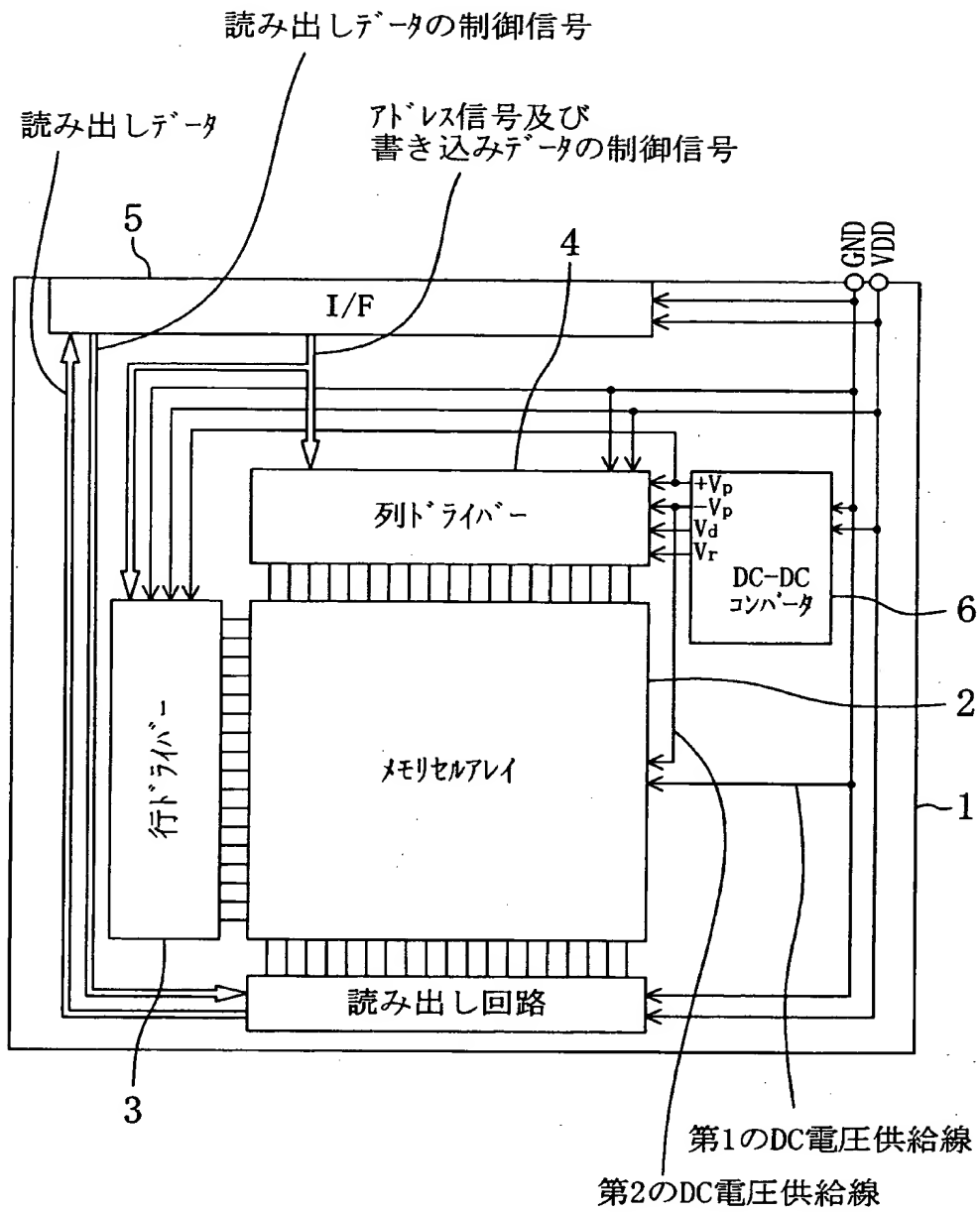
【図 3】



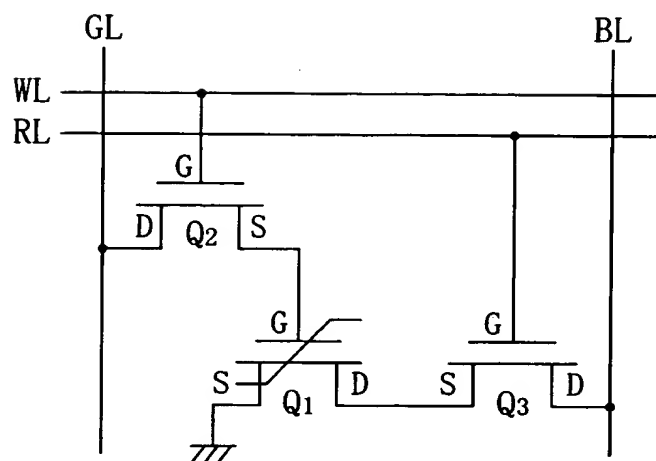
【図 4】



【図 5】



【図 6】



【図 7】

	動作		
	ERASE	WRITE	READ
WL	$V_G$	$V_G$	0
RL	0	0	$V_G$
GL	0	$V_P$	0
BL	0	0	$V_d$
基板	$-V_{GE}$	0	0

【書類名】 要約書

【要約】

【課題】 不揮発性の半導体記憶装置において時間の経過に伴って読み出し電圧が劣化する現象を抑制する。

【解決手段】 強誘電体膜の上に形成されたゲート電極を有する電界効果型トランジスタからなる半導体記憶装置の駆動方法は、ゲート電極に電圧を印加して強誘電体膜の分極状態を変化させることにより半導体記憶装置にデータを書き込む工程と、ゲート電極に電圧を印加した状態で電界効果型トランジスタのドレイン・ソース間に電圧を印加したときに電界効果型トランジスタのドレイン・ソース間に現われる電流変化を検出することにより半導体記憶装置に書き込まれているデータを読み出す工程とを備えている。データを読み出す工程において電界効果型トランジスタのドレイン・ソース間に印加する電圧の大きさは、電界効果型トランジスタのドレイン・ソース間の電流がドレイン・ソース間の電圧の増加に伴って増加するような範囲内に設定する。

【選択図】 無し

【書類名】 出願人名義変更届（一般承継）

【提出日】 平成13年 4月25日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2000-192464

【承継人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代表者】 中村 ▲邦▼夫

【提出物件の目録】

【物件名】 権利の承継を証明する書面 1

【援用の表示】 平成13年 4月16日付提出の特許番号第31505  
60号の一般承継による特許権の移転登録申請書に添付  
した登記簿謄本を援用する。

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 4 3 ]

1. 変更年月日	1 9 9 3 年 9 月 1 日
[変更理由]	住所変更
住 所	大阪府高槻市幸町 1 番 1 号
氏 名	松下電子工業株式会社

出 願 人 履 歷 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社